

BỘ CÔNG THƯƠNG
TRƯỜNG ĐẠI HỌC SAO ĐỎ

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN
THIẾT KẾ MẠCH TÍCH HỢP SỐ

Số tín chỉ: 03

Trình độ đào tạo: Đại học

Ngành đào tạo: Kỹ thuật điều khiển và tự động hóa

Năm 2022

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN

Trình độ đào tạo: Đại học

Ngành đào tạo: Kỹ thuật điều khiển và tự động hóa

- 1. Tên học phần:** Thiết kế mạch tích hợp số
- 2. Mã học phần:** DTVT 113
- 3. Số tín chỉ:** 3 (2,1)
- 4. Trình độ cho sinh viên:** Năm thứ 4
- 5. Phân bổ thời gian:**
 - Lên lớp: 30 giờ lý thuyết; 30 giờ thực hành
 - Tự học: 90 giờ

6. Điều kiện tiên quyết: Vi xử lý – vi điều khiển

7. Giảng viên:

STT	Học hàm, học vị, họ tên	Số điện thoại	Email
1	ThS. Nguyễn Văn Tiến	0964.635.992	prochipcomapany@gmail.com
2	ThS. Lê Văn Sơn	0977.985.786	Anhsondt@gmail.com

8. Mô tả nội dung của học phần:

Học phần Thiết kế mạch tích hợp số là học phần chuyên ngành trong nội dung đào tạo ngành Kỹ thuật điều khiển và tự động hóa. Học phần này bao gồm những kiến thức về phương pháp thiết kế mạch logic tổ hợp sử dụng ngôn ngữ mô tả phần cứng cho vi mạch tích hợp tốc độ cao (VHDL: Very High - Speed Integrated Circuit Hardware Description Language). Thông qua chương trình học, sinh viên có thể vận dụng các lệnh VHDL để thiết kế mạch tích hợp số trên FPGA (Field Programmable Gate Array) cho quá trình xử lý dữ liệu một cách linh hoạt trong quá trình lập trình ứng dụng và điều khiển hệ thống.

9. Mục tiêu và chuẩn đầu ra học phần:

9.1. Mục tiêu

Mục tiêu học phần thỏa mãn mục tiêu của chương trình đào tạo:

Mục tiêu	Mô tả	Mức độ theo thang đo Bloom	Phân bổ mục tiêu học phần trong CTĐT
MT1	Kiến thức		
MT1.1	Phân tích các đặc điểm của các phần tử, mạch tuần tự, mạch tổ hợp, các công nghệ thiết kế mạch số.	3	[1.2.1.2a]
MT1.2	Phân tích các cú pháp của ngôn ngữ VHDL	3	[1.2.1.2b]
MT1.3	Phân tích được kiến trúc tổng quan và	3	[1.2.1.2a].

Mục tiêu	Mô tả	Mức độ theo thang đo Bloom	Phân bổ mục tiêu học phần trong CTĐT
	quy trình thiết kế mạch số trên FPGA		[1.2.1.2b]
MT2	Kỹ năng		
MT2.1	Vận dụng các phần tử cơ bản để thiết kế các mạch logic tổ hợp và mạch dãy.	4	[1.2.2.2]
MT2.2	Phân tích các cấu trúc lệnh của ngôn ngữ VHDL.	4	[1.2.2.1]
MT2.3	Phân tích kiến trúc và quy trình thiết kế mạch tổ hợp số trên FPGA.	4	[1.2.2.2]
MT3	Mức tự chủ và trách nhiệm		
MT3.1	Hình thành tư duy phân tích các mạch logic tổ hợp, mạch dãy, mạch logic vào/ra, ngôn ngữ VHDL và quy trình thiết kế mạch logic tổ hợp số trên FPGA.	1	[1.2.3.2]
MT3.2	Ước tính được mức độ tích cực, độc lập, nghiêm chỉnh trong việc dự giờ học trên lớp và giờ tự học, chuẩn bị tốt các câu hỏi trước khi lên lớp..	4	[1.2.3.1]
MT3.3	Tuân thủ đúng trình tự lập trình VHDL trong thiết kế mạch logic, vi điều khiển mềm bằng ngôn ngữ VHDL.	4	[1.2.3.2]

9.2. Chuẩn đầu ra

Sự phù hợp của chuẩn đầu ra học phần với chuẩn đầu ra của chương trình đào tạo:

CĐR học phần	Mô tả	Thang đo Bloom	Phân bổ CĐR học phần trong CTĐT
CĐR1	Kiến thức		
CĐR1.1	Phân tích các đặc điểm của các phần tử, mạch tuần tự, mạch tổ hợp, các công nghệ thiết kế mạch số.	4	[2.1.4]
CĐR1.2	Phân tích đặc điểm, các cú pháp lệnh của ngôn ngữ VHDL.	4	[2.1.3]
CĐR1.3	Phân tích cấu trúc, quy trình thiết kế mạch logics tổ hợp số trên FPGA	4	[2.1.4]
CĐR2	Kỹ năng		

CDR học phần	Mô tả	Thang đo Bloom	Phân bố CDR học phần trong CTĐT
CDR2.1	Xác định được các lỗi phần cứng và phần mềm thường xảy ra trong mạch logic tổ hợp và mạch dây.	3	[2.2.2]
CDR2.2	Áp dụng các cú pháp lệnh của ngôn ngữ VHDL để thiết kế mạch logic tổ hợp và mạch dây.	4	[2.2.3]
CDR2.3	Áp dụng được các cú pháp lệnh của ngôn ngữ VHDL để thiết kế mạch logic tổ hợp số trên FPGA.	4	[2.2.3]
CDR3	Mức tự chủ và trách nhiệm		
CDR3.1	Ước tính được mức độ làm việc độc lập, làm việc theo nhóm trong việc phân tích, thiết kế phần cứng, chương trình và đánh giá, đưa ra kết luận các công việc của nhóm.	4	[2.3.1]
CDR3.2	Tổ chức dẫn dắt, giám sát các thành viên trong nhóm thực hiện các nhiệm vụ.	4	[2.3.2]
CDR3.3	Đối chiếu chuyên môn và bảo vệ được quan điểm cá nhân trước các thành viên trong nhóm.	4	[2.3.3]

10. Ma trận liên kết nội dung với chuẩn đầu ra học phần:

Chương /Bài	Nội dung học phần	Chuẩn đầu ra của học phần								
		CDR1			CDR2			CDR3		
		CDR 1.1	CDR 1.2	CDR 1.3	CDR 2.1	CDR 2.2	CDR 2.3	CDR 3.1	CDR 3.2	CDR 3.3
1.	Chương 1. Kiến thức cơ sở 1.1. Các khái niệm chung 1.2. Các phương pháp thể hiện thiết kế 1.3. Các công nghệ thiết kế mạch logic số 1.4. Kiến trúc của các IC khả trình Bài thực hành số 1. Bài thực hành số 2. Bài thực hành số 3 Bài thực hành số 4..	4	4		3			4	4	
2.	Chương 2: Ngôn ngữ mô tả phần cứng VHDL 2.1. Giới thiệu về VHDL 2.2. Cấu trúc của chương trình mô tả bằng VHDL		4	4		4	4	4	4	4

Chương /Bài	Nội dung học phần	Chuẩn đầu ra của học phần								
		CĐR1			CĐR2			CĐR3		
		CĐR 1.1	CĐR 1.2	CĐR 1.3	CĐR 2.1	CĐR 2.2	CĐR 2.3	CĐR 3.1	CĐR 3.2	CĐR 3.3
	2.3. Chương trình con và gói 2.4. Đối tượng dữ liệu, kiểu dữ liệu 2.5. Toán tử và biểu thức 2.6. Phát biểu tuần tự 2.7. Phát biểu đồng thời 2.8. Phân loại mã nguồn VHDL 2.9. Kiểm tra thiết kế bằng VHDL Bài thực hành số 5 Bài thực hành số 6 Bài thực hành số 7 Bài thực hành số 8 Bài thực hành số 9									
3.	Chương 3: Thiết kế mạch số trên FPGA 3.1. Tổng quan về kiến trúc FPGA 3.2. Kiến trúc chi tiết Xilinx FPGA 3.3. Quy trình thiết kế FPGA bằng ISE 3.4. Một số ví dụ thiết kế trên FPGA bằng ISE <i>Bài thực hành số 10</i> <i>Bài thực hành số 11</i> <i>Bài thực hành số 12</i> <i>Bài thực hành số 13</i> <i>Bài thực hành số 14</i>		4	4	3	4	4	4	4	4

11. Đánh giá học phần

11.1. Ma trận phương pháp kiểm tra đánh giá với chuẩn đầu ra học phần

STT	Điểm thành phần	Quy định	Trọng số	Phương pháp kiểm tra đánh giá (Hình thức, thời gian, thời điểm)	CĐR của học phần			Ghi chú
					CĐR1	CĐR2	CĐR3	
1	Điểm kiểm tra thường xuyên;	01 điểm	20%	+ Hình thức: Vấn đáp; + Thời điểm:	CĐR1.1, CĐR1.2.	CĐR2.2, CĐR2.3.	CĐR3.1, CĐR3.2.	Trung bình cộng các điểm

STT	Điểm thành phần	Quy định	Trọng số	Phương pháp kiểm tra đánh giá (Hình thức, thời gian, thời điểm)	CĐR của học phần			Ghi chú
					CĐR1	CĐR2	CĐR3	
	điểm đánh giá nhận thức và thái độ; điểm chuyên cần.			Trong các giờ học trên lớp.				đánh giá
2	Điểm kiểm tra giữa học phần.	01 điểm	30%	+ Hình thức: Thực hành; + Thời gian: 90 phút; + Thời điểm: Giờ học 31, 32 trên lớp.	CĐR1.2	CĐR2.2	CĐR3.1	
3	Điểm thi kết thúc học phần.	01 điểm	50%	+ Hình thức: Thực hành; + Thời gian: 90 phút; + Thời điểm: Theo lịch thi học kỳ	CĐR1.1, CĐR1.2, CĐR1.3.	CĐR2.1, CĐR2.3.	CĐR3.1, CĐR3.2.	

11.2. Cách tính điểm học phần

Điểm học phần là trung bình cộng các điểm thành phần đã nhân trọng số. Tính theo thang điểm 10, làm tròn đến một chữ số thập phân. Sau đó chuyển thành thang điểm chữ và thang điểm điểm 4.

12. Yêu cầu học phần

Sinh viên thực hiện những yêu cầu sau:

- Tham gia tối thiểu 80% số tiết học trên lớp dưới sự hướng dẫn của giảng viên.
- Đọc và nghiên cứu tài liệu phục vụ học phần, hoàn thành các bài tập cá nhân và bài tập nhóm.
- Chủ động ôn tập theo đề cương ôn tập được giảng viên cung cấp.
- Tham gia kiểm tra giữa học phần, thi kết thúc học phần.
- Dụng cụ học tập: Vở ghi, bút, ...

13. Tài liệu phục vụ học phần:

- Tài liệu bắt buộc:

[1]. TS. Đặng Hoài Bắc, TS. Nguyễn Ngọc Minh (2017), *Thiết kế logic số*, NXB Thông tin và truyền thông.

- Tài liệu tham khảo:

[2]. Vũ Chiến Thắng (2021), *Thiết kế FPGA*, NXB Xây dựng

14. Nội dung chi tiết học phần và phương pháp dạy học

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy-học	CDR học phần
1	<p>Chương 1. Kiến thức cơ sở</p> <p>Mục tiêu chương:</p> <p>Sau khi học xong chương này, sinh viên đạt được các yêu cầu cơ bản sau:</p> <ul style="list-style-type: none"> - Trình bày được các khái niệm chung về transistor, cổng logic, phần tử nhớ. - Trình bày được các phương pháp thiết kế mạch logic tổ hợp. - Trình bày được các công nghệ thiết kế mạch logic số và kiến trúc của các IC khả trình.. <p>Nội dung cụ thể:</p> <ul style="list-style-type: none"> 1.1. Các khái niệm chung <ul style="list-style-type: none"> 1.1.1. Transistor 1.1.2. Vi mạch số tích hợp 1.1.3. Cổng logic 1.1.4. Phần tử nhớ 1.1.5. Mạch logic tổ hợp 1.1.6. Mạch logic tuần tự 1.2. Các phương pháp thể hiện thiết kế <ul style="list-style-type: none"> 1.2.1. Mô tả bằng sơ đồ 1.2.2. Mô tả bằng HDL 1.2.3. Yêu cầu với một thiết kế mạch logic số 1.3. Các công nghệ thiết kế mạch logic số 1.4. Kiến trúc của các IC khả trình 	16 (8LT, 8TH)	<p>Thuyết trình; Dạy học dựa trên vấn đề; Tổ chức học theo nhóm</p> <p>- Giảng viên:</p> <ul style="list-style-type: none"> + Giải thích các khái niệm, định nghĩa. + Nêu vấn đề, hướng dẫn sinh viên giải quyết vấn đề. + Giao bài tập cho cá nhân, các nhóm. <p>- Sinh viên:</p> <ul style="list-style-type: none"> + Đọc trước tài liệu: [1]: Chương 1; [2]: Chương 1 + Lắng nghe, ghi chép và giải quyết các vấn đề. + Làm bài tập cá nhân, theo nhóm trong [1]: Chương 1, Bài 1.1-1.13. 	CDR1.1, CDR2.2, CDR3.1, CDR3.2.

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy-học	CDR học phần
	1.4.1. Kiến trúc PROM 1.4.2. Kiến trúc PAL 1.4.3. Kiến trúc PLA 1.4.4. Kiến trúc của GAL 1.4.5. Kiến trúc của FPGA Bài thực hành số 1. Bài thực hành số 2. Bài thực hành số 3 Bài thực hành số 4..			
2	<p>Chương 2: Ngôn ngữ mô tả phần cứng VHDL</p> <p>Mục tiêu chương: Sau khi học xong chương này, sinh viên đạt được các yêu cầu cơ bản sau:</p> <ul style="list-style-type: none"> - Trình bày được cấu trúc lệnh, các kiểu dữ liệu, các phép toán, thuộc tính của ngôn ngữ VHDL. - Trình bày được các phát biểu, mô phỏng ngôn ngữ VHDL. <p>Nội dung cụ thể:</p> <p>2.1. Giới thiệu về VHDL</p> <p>2.2. Cấu trúc của chương trình mô tả bằng VHDL</p> <p>2.2.1. Khai báo thư viện</p> <p>2.2.2. Mô tả thực thể</p> <p>2.2.3. Mô tả kiến trúc</p> <p>2.2.4. Khai báo cấu hình</p> <p>2.3. Chương trình con và gói</p> <p>2.3.1. Thủ tục</p> <p>2.3.2. Hàm</p>	24 (12LT, 10TH, 2KT)	<p>Thuyết trình; Phương pháp động não; Tổ chức học theo nhóm</p> <p>- Giảng viên:</p> <ul style="list-style-type: none"> + Giải thích các khái niệm. + Nêu vấn đề cần giải quyết. + Giao bài tập cho cá nhân, các nhóm. <p>- Sinh viên:</p> <ul style="list-style-type: none"> + Đọc trước tài liệu: [1]: Chương 2; [2]: Chương 2, + Lắng nghe, ghi chép và giải quyết các vấn đề. + Làm bài tập cá nhân, theo nhóm trong [1]: Chương 2, Bài 2.1- 2.40. + Làm bài kiểm tra. 	CDR1.2, CDR1.3, CDR2.2, CDR2.3, CDR3.1, CDR3.2, CDR3.3. .

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy-học	CDR học phần
	<p>2.3.3. Gói</p> <p>2.4. Đối tượng dữ liệu, kiểu dữ liệu</p> <p>2.4.1. Đối tượng dữ liệu</p> <p>2.4.2. Kiểu dữ liệu</p> <p>2.5. Toán tử và biểu thức</p> <p>2.5.1. Toán tử logic</p> <p>2.5.2. Các phép toán quan hệ</p> <p>2.5.3. Các phép toán dịch</p> <p>2.5.4. Các phép toán cộng trừ và hợp</p> <p>2.5.5. Các phép dấu</p> <p>2.5.6. Các phép toán nhân chia, lấy dư</p> <p>2.5.7. Các phép toán khác</p> <p>2.6. Phát biểu tuần tự</p> <p>2.6.1. Phát biểu đọi</p> <p>2.6.2. Phát biểu xác nhận và báo cáo</p> <p>2.6.3. Phát biểu gán biến</p> <p>2.6.4. Phát biểu gán tín hiệu</p> <p>2.6.5. Lệnh rẽ nhánh và lệnh lặp</p> <p>2.7. Phát biểu đồng thời</p> <p>2.7.1. Phát biểu khối</p> <p>2.7.2. Phát biểu quá trình</p> <p>2.7.3. Phát biểu gán tín hiệu đồng thời</p> <p>2.7.4. Phát biểu generate</p> <p>2.7.5. Phát biểu cài đặt khối con</p> <p>2.8. Phân loại mã nguồn VHDL</p> <p>2.9. Kiểm tra thiết kế bằng VHDL</p> <p>2.9.1. Kiểm tra nhanh</p>			

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy-học	CDR học phần
	2.9.2. Kiểm tra tự động nhiều tổ hợp đầu vào Bài thực hành số 5 Bài thực hành số 6 Bài thực hành số 7 Bài thực hành số 8 Bài thực hành số 9			
3	Chương 3: Thiết kế mạch số trên FPGA Mục tiêu chương: Sau khi học xong chương này, sinh viên đạt được các yêu cầu cơ bản sau: - Trình bày được tổng quan về ASIC/ASIP, FPGA. - Trình bày được cấu trúc, quá trình lập trình FPGA, FPGA của Xilinx và Altera. Nội dung cụ thể: 3.1. Tổng quan về kiến trúc FPGA 3.1.1. Khái niệm FPGA 3.1.2. Ứng dụng của FPGA trong xử lý tín hiệu số 3.1.3. Công nghệ tái cấu trúc FPGA 3.1.4. Kiến trúc tổng quan 3.2. Kiến trúc chi tiết Xilinx FPGA 3.2.1. Khối logic khả trình 3.2.2. Khối điều khiển vào ra 3.2.3. Hệ thống kết nối khả trình 3.2.4. Các phần tử khác của FPGA	20 (10LT, 10TH,)	Thuyết trình; Tổ chức cho sinh viên tranh luận; Tổ chức học theo nhóm - Giảng viên: + Giải thích các khái niệm + Đưa nội dung tranh luận. + Giao bài tập cho các nhóm. - Sinh viên: + Đọc trước tài liệu: [1]: Chương 3; [2]: Chương 4. + Lắng nghe, ghi chép, tranh luận và phản biện. + Làm bài tập theo nhóm trong [1]: Chương 3, bài 3.1-3.5.	CDR1.2, CDR1.3, CDR2.1, CDR2.2, CDR2.3, CDR3.1, CDR3.2, CDR3.3.

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy-học	CDR học phần
	<p>3.3. Quy trình thiết kế FPGA bằng ISE</p> <p>3.3.1. Mô tả thiết kế</p> <p>3.3.2. Tổng hợp thiết kế</p> <p>3.3.3. Hiện thực hóa thiết kế</p> <p>3.3.4. Cấu hình FPGA</p> <p>3.3.5. Kiểm tra thiết kế trên FPGA</p> <p>3.4. Một số ví dụ thiết kế trên FPGA bằng ISE</p> <p>3.4.1. Thiết kế khối nhận thông tin UART</p> <p>3.4.2. Thiết kế khối điều khiển PS/2 cho Keyboard, Mouse</p> <p>3.4.3. Thiết kế khối tổng hợp dao động số NCO</p> <p>3.4.4. Thiết kế khối điều khiển LCD1602A</p> <p>3.4.5. Thiết kế điều khiển VGA trên FPGA.</p> <p><i>Bài thực hành số 10</i></p> <p><i>Bài thực hành số 11</i></p> <p><i>Bài thực hành số 12</i></p> <p><i>Bài thực hành số 13</i></p> <p><i>Bài thực hành số 14</i></p>			

Hải Dương, ngày 9 tháng 8 năm 2022

KT. HIỆU TRƯỞNG
PHÓ HIỆU TRƯỞNG



TS. Nguyễn Thị Kim Nguyễn

KT. TRƯỞNG KHOA
PHÓ TRƯỞNG KHOA

Phạm Công Tảo

TRƯỞNG BỘ MÔN

Nguyễn Tiên Phúc