

BỘ CÔNG THƯƠNG
TRƯỜNG ĐẠI HỌC SAO ĐỎ

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN
ĐIỆN TỬ SỐ

Số tín chỉ: 3

Trình độ đào tạo: Đại học

Ngành đào tạo: Công nghệ kỹ thuật điện, điện tử

Năm 2022

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN

Trình độ đào tạo: Đại học

Ngành đào tạo: Công nghệ kỹ thuật điện, điện tử

- 1. Tên học phần:** Điện tử số
- 2. Mã học phần:** DTVT 026
- 3. Số tín chỉ:** 3 (2,1)
- 4. Trình độ cho sinh viên:** Năm thứ ba.
- 5. Phân bổ thời gian**
 - Lên lớp: 30 giờ lý thuyết, 30 giờ thực hành.
 - Tự học: 90 giờ.
- 6. Điều kiện tiên quyết:** Mạch điện tử tương tự.

7. Giảng viên

STT	Học hàm, học vị, họ tên	Số điện thoại	Email
1	ThS. Hoàng Thị Minh Hồng	0988.926.323	minhhong.saodo@gmail.com
2	ThS. Tạ Thị Mai	0972.200.364	maidtth@gmail.com
3	ThS. Nguyễn Thị Quyên	0915.203.904	quyennt96@yahoo.com

8. Mô tả nội dung của học phần

Học phần Điện tử số cung cấp cho sinh viên những kiến thức cơ bản về các hệ thống đếm, đại số logic và các mạch logic cơ bản, phương pháp thiết kế mạch điện logic tổ hợp, thiết kế một số mạch logic điển hình, các phần tử nhớ cơ bản, nguyên lý hoạt động của một số mạch tuần tự cơ bản, từ đó sinh viên có khả năng phân tích và thiết kế được các mạch điện tử logic từ các yêu cầu thực tế cho trước.

9. Mục tiêu và chuẩn đầu ra học phần

9.1. Mục tiêu

Mục tiêu học phần thỏa mãn mục tiêu của chương trình đào tạo:

Mục tiêu	Mô tả	Mức độ theo thang đo Bloom	Phân bổ mục tiêu học phần trong CTĐT
MT1	Kiến thức		
MT1.1	Trình bày được các hệ đếm thông dụng, các phương pháp biểu diễn hàm logic, các phần tử logic, các phần tử nhớ cơ bản và các mạch logic tổ hợp.	2	[1.2.1.2.a]
MT1.2	Vận dụng được các kiến thức cơ bản về đại số logic để xây dựng được	3	[1.2.1.2.b]

Mục tiêu	Mô tả	Mức độ theo thang đo Bloom	Phân bổ mục tiêu học phần trong CTĐT
	phương pháp phân tích và thiết kế mạch logic tổ hợp.		
MT2	Kỹ năng		
MT2.1	Nhận dạng được các phần tử logic và các phần tử nhớ.	4	[1.2.2.2]
MT2.2	Có khả năng đọc, phân tích, được mạch logic, thiết kế được mạch logic số theo yêu cầu thực tế.	4	[1.2.2.3]
MT3	Mức tự chủ và trách nhiệm		
MT3.1	Hình thành tư duy phân tích mạch điện logic.	4	[1.2.3.1]
MT3.2	Có thái độ làm việc tích cực, độc lập.	4	
MT3.3	Có năng lực đánh giá, điều phối, quản lý, hướng dẫn, giám sát và đưa ra kết luận về việc phân tích, thiết kế mạch logic tổ hợp.	5	[1.2.3.2]

9.2. Chuẩn đầu ra

Sự phù hợp của chuẩn đầu ra học phần với chuẩn đầu ra chương trình đào tạo:

CDR học phần	Mô tả	Thang đo Bloom	Phân bổ CDR học phần trong CTĐT
CDR1	Kiến thức		
CDR1.1	Vận dụng kiến thức ngoại ngữ để giải thích một số ký hiệu và chức năng các chân IC số.	3	[2.1.3]
CDR1.2	Vận dụng kiến thức đại số logic để phân tích và biểu diễn các hàm logic, trình bày được tên gọi, ký hiệu, phương trình hàm logic của các phần tử logic cơ bản.	3	[2.1.4]
CDR1.3	Phân tích được ký hiệu, hoạt động của các phần tử nhớ cơ bản, đặc điểm của các loại mã, trình tự xây dựng các mạch logic tổ hợp, hoạt động của các mạch hợp kênh, phân kênh, mạch ghi dịch và mạch đếm.	4	
CDR2	Kỹ năng		
CDR2.1	Nhận dạng được các phần tử logic cơ bản, các phần tử nhớ, các mạch dây từ đó kiểm tra, xác định được hoạt động của các phần tử logic và phần tử nhớ cơ bản.	4	[2.2.1]

CĐR học phần	Mô tả	Thang đo Bloom	Phân bố CĐR học phần trong CTĐT
CĐR2.2	Thiết kế được các mạch logic tổ hợp, mạch dãy theo các yêu cầu thực tế.	4	[2.2.2]
CĐR2.3	Vận dụng vào thực tế để giải quyết các bài toán chuyên ngành, đưa ra được các giải pháp kỹ thuật để thực hiện các yêu cầu thực tế.	4	[2.2.5] [2.2.7]
CĐR3	Mức tự chủ và trách nhiệm		
CĐR3.1	Có khả năng làm việc độc lập, làm việc theo nhóm trong việc phân tích và thiết kế bản vẽ kỹ thuật. Có năng lực đánh giá, đưa ra kết luận các công việc của nhóm.	4	[2.3.1]
CĐR3.2	Có năng lực hướng dẫn, giám sát và đưa ra kết luận về việc lựa chọn, thiết kế mạch logic theo yêu cầu thực tế.	5	[2.3.2]
CĐR3.3	Chủ động trong quá trình thiết kế, lắp đặt và thi công mạch logic tổ hợp, mạch dãy.	4	[2.3.3]

10. Ma trận liên kết nội dung với chuẩn đầu ra học phần

Chương	Nội dung học phần	Chuẩn đầu ra của học phần								
		CĐR1			CĐR2			CĐR3		
		CĐR 1.1	CĐR 1.2	CĐR 1.3	CĐR 2.1	CĐR 2.2	CĐR 2.3	CĐR 3.1	CĐR 3.2	CĐR 3.3
1	Chương 1. Các hệ đếm và mã 1.1. Hệ đếm 1.2. Chuyển đổi số giữa các hệ đếm 1.3. Các phép tính số học trong hệ đếm nhị phân 1.4. Mã hoá số của hệ thập phân 1.5. Mã các chữ cái, chữ số	3		4			4	4	5	4
2	Chương 2. Đại số logic 2.1. Hàm logic 2.2. Cách biểu diễn hàm lôgic 2.3. Tối thiểu hóa hàm	3	3			4	4	4	5	4

Chương	Nội dung học phần	Chuẩn đầu ra của học phần								
		CĐR1			CĐR2			CĐR3		
		CĐR 1.1	CĐR 1.2	CĐR 1.3	CĐR 2.1	CĐR 2.2	CĐR 2.3	CĐR 3.1	CĐR 3.2	CĐR 3.3
3	Chương 3. Mạch logic tổ hợp 3.1. Các phần tử logic cơ bản 3.2. Phân tích và Thiết kế mạch logic tổ hợp 3.3. Một số mạch logic tổ hợp thông dụng		3	4	4	4	4	4	5	4
4	Chương 4. Mạch Dây 4.1. Các phần tử nhớ cơ bản 4.2. Bộ đếm 4.3. Các bộ ghi dịch (Shift Register) 4.4. Các bộ chia tần	3		4	4	4	4	4	5	4

11. Đánh giá học phần

11.1. Ma trận phương pháp kiểm tra đánh giá với chuẩn đầu ra học phần

STT	Điểm thành phần	Quy định	Trọng số	Phương pháp kiểm tra đánh giá (Hình thức, thời gian, thời điểm)	CĐR của học phần			Ghi chú
					CĐR1	CĐR2	CĐR3	
1	Điểm kiểm tra thường xuyên; điểm đánh giá nhận thức và thái độ; điểm chuyên cần.	01 điểm	20%	+ Hình thức: Vấn đáp; + Thời điểm: Trong các giờ học trên lớp.	CĐR1.1 CĐR1.2 CĐR1.3	CĐR2.1 CĐR2.2	CĐR3.1 CĐR3.2 CĐR3.3	Trung bình cộng các điểm đánh giá
2	Điểm kiểm tra giữa học phần.	01 điểm	30%	+ Hình thức: Tự luận; + Thời gian: 90 phút; + Thời điểm: Giờ học 31, 32 trên lớp.	CĐR1.1 CĐR1.2 CĐR1.3	CĐR2.3	CĐR3.1 CĐR3.2 CĐR3.3	

STT	Điểm thành phần	Quy định	Trọng số	Phương pháp kiểm tra đánh giá (Hình thức, thời gian, thời điểm)	CĐR của học phần			Ghi chú
					CĐR1	CĐR2	CĐR3	
3	Điểm thi kết thúc học phần.	01 điểm	50%	+ Hình thức: Trắc nghiệm; + Thời gian: 60 phút; + Thời điểm: Theo lịch thi học kỳ	CĐR1.1 CĐR1.2 CĐR1.3	CĐR2.1 CĐR2.2 CĐR2.3	CĐR3.1	

11.2. Cách tính điểm học phần

Điểm học phần là trung bình cộng các điểm thành phần đã nhân trọng số. Tính theo thang điểm 10, làm tròn đến một chữ số thập phân. Sau đó chuyển thành thang điểm chữ và thang điểm điểm 4.

12. Yêu cầu học phần

- Yêu cầu về nghiên cứu tài liệu: Đọc Datasheet các IC tích hợp các cổng logic cơ bản, các phần tử nhớ cơ bản...
- Yêu cầu về làm bài tập: Làm đầy đủ các bài tập lớn và các chủ đề tự học theo nhóm.
- Yêu cầu về thái độ học tập: Chuẩn bị đầy đủ tài liệu và dụng cụ trước khi đến lớp. Ghi chép và tích cực làm bài tập lớn và các chủ đề tự học, tự nghiên cứu.
- Yêu cầu về chuyên cần: Sinh viên tham dự tối thiểu 80% thời lượng của học phần.
- Yêu cầu về kiểm tra giữa kỳ và thi kết thúc học phần: Sinh viên thực hiện theo kế hoạch tiến độ, quy chế.

14. Tài liệu phục vụ học phần

- Tài liệu bắt buộc:

[1] - PGS.TS. Nguyễn Quốc Trung (2012), *Kỹ thuật số* - NXB Đại học Quốc gia Hà Nội.

- Tài liệu tham khảo:

[2] – Nguyễn Thúy Vân (2008), *Kỹ thuật số* - NXB Khoa học và kỹ thuật.

[3]. Lương Ngọc Hải (2015), *Điện tử số* - NXB Giáo dục.

14. Nội dung chi tiết học phần và phương pháp dạy - học

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy – học	CĐR học phần
1.	Chương 1. Các hệ đếm và mã Mục tiêu của chương:	5 (5LT, 0TH)	Thuyết trình: Dạy học dựa trên vấn đề, tổ chức học theo nhóm	CĐR1.1, CĐR 1.3, CĐR2.3,

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy – học	CĐR học phần
	<p>+ Trình bày được các hệ đếm thông dụng, phương pháp chuyển đổi giữa các hệ đếm.</p> <p>+ Trình bày được các phép tính số học trong hệ nhị phân.</p> <p>+ Hiểu được mã hóa số của hệ thập phân.</p> <p>Nội dung cụ thể:</p> <p>1.1. Hệ đếm</p> <p>1.1.1. Khái niệm</p> <p>1.1.2. Biểu diễn số trong các hệ đếm</p> <p>1.2. Chuyển đổi số giữa các hệ đếm</p> <p>1.2.1. Chuyển đổi số từ hệ đếm 2 (hoặc 8 hoặc 16) sang thập phân</p> <p>1.2.2. Chuyển đổi từ hệ thập phân sang hệ đếm 2 (hoặc 8 hoặc 16)</p> <p>1.2.3. Chuyển đổi từ hệ đếm 16 sang hệ đếm 2 và ngược lại</p> <p>1.2.4. Chuyển đổi từ hệ đếm 8 sang hệ đếm 2 và ngược lại</p> <p>1.3. Các phép tính số học trong hệ đếm nhị phân</p> <p>1.3.1. Phép cộng</p> <p>1.3.2. Phép trừ</p> <p>1.3.3. Phép nhân</p> <p>1.3.4. Phép chia</p> <p>1.4. Mã hoá số của hệ thập phân</p> <p>1.4.1. Mã BCD</p> <p>1.4.2. Mã không có trọng số</p> <p>1.5. Mã các chữ cái, chữ số</p>		<p>- Giảng viên:</p> <p>+ Giải thích các khái niệm, định nghĩa.</p> <p>+ Nêu vấn đề, hướng dẫn sinh viên giải quyết vấn đề.</p> <p>+ Giao bài tập cho cá nhân, các nhóm.</p> <p>+ Nhận xét, đánh giá kết quả, kết luận.</p> <p>- Sinh viên:</p> <p>+ Đọc trước tài liệu:</p> <p>[1]: Chương 1;</p> <p>[2]: Mục 1.7</p> <p>[3]: Mục 1.12; 1.13; 1.2.3; 1.2.4; 1.3; 1.6; 1.10.</p> <p>+ Lắng nghe, quan sát, ghi chép và giải quyết các vấn đề.</p> <p>+ Làm bài tập cá nhân, theo nhóm trong [1]: Chương 1, Bài 1.1-1.6.</p>	CĐR3.1, CĐR3.2, CĐR3.3.
2.	<p>Chương 2. Đại số logic</p> <p>Mục tiêu của chương:</p>	16 (6LT, 10TH)	Thuyết trình, tổ chức cho sinh viên thảo luận, tổ chức học theo nhóm,	CĐR1.1, CĐR1.2, CĐR2.2,

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy – học	CĐR học phần
	<p>+ Trình bày được các hàm logic cơ bản, các tính chất và định luật của đại số logic.</p> <p>+ Phân tích được các phương pháp biểu diễn hàm logic và thực hiện tối thiểu hóa hàm logic theo yêu cầu cho trước.</p> <p>Nội dung cụ thể:</p> <p>2.1. Hàm logic</p> <p>2.1.1. Một số định nghĩa</p> <p>2.1.2. Các hàm logic cơ bản</p> <p>2.1.3. Tính chất của các hàm logic cơ bản</p> <p>2.2. Cách biểu diễn hàm logic</p> <p>2.2.1. Biểu diễn bằng bảng trạng thái</p> <p>2.2.2. Biểu diễn hàm logic ở dạng biểu thức giải tích</p> <p>2.2.3. Biểu diễn hàm logic bằng bảng Karnaugh</p> <p>2.3. Tối thiểu hóa hàm</p> <p>2.3.1. Mục đích của việc tối thiểu hóa hàm logic</p> <p>2.3.2. Phương pháp đại số</p> <p>2.3.3. Tối thiểu hóa hàm bằng bảng Karnaugh</p> <p>2.3.4. Phương pháp Quine-Mc. Cluskey</p> <p>Bài thực hành số 1. Các cổng logic cơ bản.</p> <p>Bài thực hành số 2. Khảo sát hàm logic</p>		<p>mô phỏng hoạt động mạch điện trên phần mềm thiết kế mạch, diễn trình làm mẫu.</p> <p>- Giảng viên:</p> <p>+ Giải thích các định nghĩa.</p> <p>+ Đưa nội dung tranh luận.</p> <p>+ Tổ chức thảo luận</p> <p>+ Mô phỏng kết quả bài tập trên phần mềm thiết kế mạch.</p> <p>+ Giao bài tập cho cá nhân, các nhóm.</p> <p>+ Nhận xét, đánh giá kết quả, kết luận</p> <p>+ Thực hiện thao tác mẫu, giải thích các bước thí nghiệm và các sai hỏng thường gặp.</p> <p>- Sinh viên:</p> <p>+ Đọc trước tài liệu:</p> <p>[1]: Chương 2;</p> <p>[2]: Mục 2.3; 2.4</p> <p>[3]: Mục 1.7; 2.2; 2.4; 2.7; 3.3; 3.4</p> <p>+ Lắng nghe, ghi chép và giải quyết các vấn đề.</p> <p>+ Luyện tập, thí nghiệm.</p> <p>+ Làm bài tập cá nhân, theo nhóm trong [1]: Chương 2, Bài 2.1- 2.13.</p>	<p>CĐR2.3, CĐR3.1, CĐR3.2, CĐR3.3,</p>
3.	<p>Chương 3 Mạch logic tổ hợp</p> <p>Mục tiêu chương:</p> <p>+Trình bày được tên gọi, ký hiệu và hàm ra của các phần tử logic cơ bản.</p>	<p>19 (7LT, 10TH, 2KT)</p>	<p>Thuyết trình, phương pháp động não, tổ chức học theo nhóm, mô phỏng hoạt động mạch điện trên phần mềm</p>	<p>CĐR1.2, CĐR1.3, CĐR2.1, CĐR2.2, CĐR2.3,</p>

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy – học	CĐR học phần
	<p>+ Phân tích và thiết kế được các mạch logic từ yêu cầu thực tế. + Trình bày được nguyên tắc hoạt động của một số mạch logic tổ hợp.</p> <p>Nội dung cụ thể:</p> <p>3.1. Các phần tử logic cơ bản</p> <p>3.1.1 Phần tử phủ định (Phần tử đảo - NOT)</p> <p>3.1.2. Phần tử và (AND)</p> <p>3.1.3. Phần tử và đảo (NAND)</p> <p>3.1.4. Phần tử hoặc (OR)</p> <p>3.1.5. Phần tử hoặc - Đảo (NOR)</p> <p>3.1.6. Phần tử lặp (YES)</p> <p>3.1.7. Phần tử cộng loại trừ (phần tử so sánh khác nhau – phần tử XOR)</p> <p>3.1.8. Phần tử không cộng loại trừ (XNOR)</p> <p>3.2. Phân tích và thiết kế mạch logic tổ hợp</p> <p>3.2.1. Phân tích mạch</p> <p>3.2.2. Thiết kế mạch logic tổ hợp</p> <p>3.3. Một số mạch logic tổ hợp thông dụng</p> <p>3.3.1. Bộ hợp kênh và phân kênh</p> <p>3.3.2. Các mạch mã hoá và giải mã</p> <p>Bài thực hành số 3. Phân tích và thiết kế mạch logic tổ hợp</p> <p>Bài thực hành số 4. Bộ hợp kênh và phân kênh</p> <p>Bài thực hành số 5. Mạch mã hóa, giải mã</p>		<p>thiết kế mạch, diễn trình làm mẫu.</p> <p>- Giảng viên:</p> <p>+ Giải thích các định nghĩa. + Nêu vấn đề cần giải quyết + Tổ chức thảo luận + Mô phỏng kết quả bài tập trên phần mềm thiết kế mạch. + Giao bài tập cho cá nhân, các nhóm. + Nhận xét nội dung, đánh giá kết quả. + Thực hiện thao tác mẫu, giải thích các bước thí nghiệm và các sai hỏng thường gặp.</p> <p>- Sinh viên:</p> <p>+ Đọc trước tài liệu: [1]: Chương 3; [2]: Mục 2.5; 2.6; 4.1; 4.2; 4.4; [3]: Mục 2.4; 2.8; 5.1; 5.3. + Lắng nghe, ghi chép và giải quyết các vấn đề. + Luyện tập, thí nghiệm. + Làm bài tập cá nhân, theo nhóm trong [1]: Chương 3, Bài 3.1- 3.10.</p>	CĐR3.1, CĐR3.2, CĐR 3.3,
4.	<p>Chương 4. Mạch dãy</p> <p>Mục tiêu chương:</p>	20 (10LT, 10TH)	<p>Thuyết trình, tổ chức cho sinh viên thảo luận, tổ chức học theo nhóm,</p>	CĐR1.1, CĐR1.3, CĐR2.1,

TT	Nội dung giảng dạy	Số tiết	Phương pháp dạy – học	CĐR học phần
	<p>+ Trình bày được tên gọi, ký hiệu và nguyên tắc hoạt động của các phần tử nhớ cơ bản.</p> <p>+ Phân tích được nguyên tắc hoạt động của các bộ đếm, bộ ghi dịch, bộ chia tần.</p> <p>Nội dung cụ thể:</p> <p>4.1. Các phần tử nhớ cơ bản</p> <p>4.1.1. Khái niệm chung</p> <p>4.1.2. Trigrơ RS</p> <p>4.1.3. Trigrơ đồng bộ RST</p> <p>4.1.4. Trigrơ JK</p> <p>4.1.5. Trigrơ D</p> <p>4.2. Bộ đếm</p> <p>4.2.1. Đếm nhị phân</p> <p>4.2.2. Đếm 10 mã BCD (Decade).</p> <p>4.3. Các bộ ghi dịch (Shift Register)</p> <p>4.3.1. Bộ ghi song song</p> <p>4.3.2. Bộ ghi dịch nối tiếp</p> <p>4.4. Các bộ chia tần</p> <p>4.4.1. Mạch chia 3</p> <p>4.4.2. Mạch chia 5</p> <p>Bài thực hành số 6: Mạch Trigger</p> <p>Bài thực hành số 7: Mạch đếm</p> <p>Bài thực hành số 8: Mạch ghi dịch</p>		<p>mô phỏng hoạt động mạch điện trên phần mềm thiết kế mạch, diễn trình làm mẫu.</p> <p>- Giảng viên:</p> <p>+ Giải thích các khái niệm.</p> <p>+ Đưa nội dung tranh luận.</p> <p>+ Giao bài tập cho cá nhân, các nhóm.</p> <p>+ Nhận xét kết quả, đánh giá và kết luận.</p> <p>+ Mô phỏng kết quả bài tập trên phần mềm thiết kế mạch.</p> <p>+ Thực hiện thao tác mẫu, giải thích các bước thí nghiệm và các sai hỏng thường gặp.</p> <p>- Sinh viên:</p> <p>+ Đọc trước tài liệu:</p> <p>[1]: Chương 4;</p> <p>[2]: 5.1; 5.2; 5.3; 5.6</p> <p>[3]: Mục 6.13; 6.14; 6.15</p> <p>+ Lắng nghe, ghi chép và giải quyết các vấn đề.</p> <p>+ Luyện tập, thí nghiệm.</p> <p>+ Làm bài tập cá nhân, theo nhóm trong [1]: Chương 4, Bài 4.1-> 4.9.</p>	<p>CĐR2.2,</p> <p>CĐR2.3,</p> <p>CĐR3.1,</p> <p>CĐR3.2,</p> <p>CĐR 3.3,</p>

Hải Dương, ngày 9 tháng 8 năm 2022

KT.HIỆU TRƯỞNG
PHÓ HIỆU TRƯỞNG



TRƯỜNG
ĐẠI HỌC
SAO ĐỎ



TS. Nguyễn Thị Kim Nguyên

KT. TRƯỞNG KHOA TRƯỞNG BỘ MÔN
PHÓ TRƯỞNG KHOA



Phạm Công Tảo



Nguyễn Tiến Phúc