

BỘ CÔNG THƯƠNG
TRƯỜNG ĐẠI HỌC SAO ĐỎ

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN
THIẾT KẾ MẠCH TÍCH HỢP SỐ

Số tín chỉ : 03

Trình độ đào tạo: Đại học

Ngành đào tạo: Kỹ thuật điều khiển và tự động hóa

Năm 2020

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN

Trình độ đào tạo: Đại học
Ngành đào tạo: Kỹ thuật điều khiển và tự động hóa

- Tên học phần:** Thiết kế mạch tích hợp số
- Mã học phần:** DTVT 113
- Số tín chỉ:** 3 (2,1)
- Trình độ cho sinh viên:** Năm thứ 4
- Phân bổ thời gian:**
 - Lên lớp: 30 tiết lý thuyết; 30 tiết thực hành
 - Tự học: 90 giờ
- Điều kiện tiên quyết:** Điện tử số, kỹ thuật lập trình.
- Giảng viên:**

STT	Học hàm, học vị, họ tên	Số điện thoại	Email
1	ThS. Nguyễn Văn Tiến	0964.635.992	prochipcomapany@gmail.com
2	ThS. Lê Văn Sơn	0977.985.786	Anhsondt@gmail.com

8. Mô tả nội dung của học phần:

Học phần Thiết kế mạch tích hợp số là học phần chuyên ngành trong nội dung đào tạo ngành Công nghệ kỹ thuật điện tử - viễn thông. Học phần này bao gồm những kiến thức về phương pháp thiết kế mạch logic tổ hợp sử dụng ngôn ngữ mô tả phần cứng cho vi mạch tích hợp tốc độ cao (VHDL: Very high - speed integrated circuit hardware description language). Thông qua chương trình học, sinh viên có thể vận dụng các lệnh VHDL để thiết kế mạch tích hợp số và vi điều khiển mềm cho quá trình xử lý dữ liệu một cách linh hoạt trong quá trình lập trình ứng dụng và điều khiển hệ thống.

9. Mục tiêu và chuẩn đầu ra học phần:

9.1. Mục tiêu

Mục tiêu học phần thỏa mãn mục tiêu của chương trình đào tạo:

Mục tiêu	Mô tả	Mức độ theo thang đo Bloom	Phân bổ mục tiêu học phần trong CTĐT
MT1	Kiến thức		
MT1.1	Cài đặt được phần mềm lập trình và mô phỏng ModelSim	2	[1.2.1.1b]

Mục tiêu	Mô tả	Mức độ theo thang đo Bloom	Phân bổ mục tiêu học phần trong CTĐT
MT1.2	Phân tích các mạch logic tổ hợp, mạch dãy, các cú pháp của ngôn ngữ VHDL để thiết kế các mạch logic tổ hợp, mạch dãy, vi điều khiển mềm.	3	[1.2.1.2a], [1.2.1.2b]
MT2	Kỹ năng		
MT2.1	Vận dụng được ngôn ngữ lập trình VHDL để thiết kế các mạch logic tổ hợp và mạch dãy.	4	[1.2.2.1]
MT2.2	Phân tích, xây dựng chương trình thiết kế mạch logic điều khiển vào/ra dùng ngôn ngữ VHDL.	4	[1.2.2.2]
MT2.3	Phân tích, xây dựng chương trình thiết kế vi điều khiển mềm dùng ngôn ngữ VHDL.	4	[1.2.2.2]
MT3	Mức tự chủ và trách nhiệm		
MT3.1	Hình thành tư duy phân tích các mạch logic tổ hợp, mạch dãy, mạch logic vào/ra, vi điều khiển mềm bằng ngôn ngữ VHDL và phần mềm lập trình và mô phỏng ModelSim.	1	[1.2.3.2]
MT3.2	Có thái độ làm việc tích cực, độc lập, nghiêm chỉnh trong việc dự giờ học trên lớp và giờ tự học, chuẩn bị tốt các câu hỏi trước khi lên lớp. Tham gia đầy đủ và làm tốt các bài tập lý thuyết và các bài thực hành.	4	[1.2.3.1]
MT3.3	Tuân thủ đúng trình tự lập trình VHDL trong thiết kế mạch logic, vi điều khiển mềm bằng ngôn ngữ VHDL.	4	[1.2.3.2]

9.2. Chuẩn đầu ra

Sự phù hợp của chuẩn đầu ra học phần với chuẩn đầu ra của chương trình đào tạo:

CĐR học phần	Mô tả	Thang đo Bloom	Phân bố CĐR học phần trong CTĐT
CĐR1	Kiến thức		
CĐR1.1	Phân tích được đặc điểm, các cú pháp lệnh của ngôn ngữ VHDL.	4	[2.1.3]
CĐR1.2	Phân tích và thiết kế được mạch logic tổ hợp, mạch dây dùng ngôn ngữ VHDL.	4	[2.1.4]
CĐR1.3	Phân tích và thiết kế được các mạch logic vào/ra và vi điều khiển mềm dùng ngôn ngữ VHDL trên FPGA (Field-programmable gate array).	4	[2.1.4]
CĐR2	Kỹ năng		
CĐR2.1	Xác định được các lỗi phần cứng và phần mềm thường xảy ra trong mạch logic tổ hợp và mạch dây.	3	[2.2.2]
CĐR2.2	Áp dụng các cú pháp lệnh của ngôn ngữ VHDL để thiết kế mạch logic tổ hợp và mạch dây.	4	[2.2.3]
CĐR2.3	Áp dụng được các cú pháp lệnh của ngôn ngữ VHDL để thiết kế mạch logic vào/ra và vi điều khiển mềm trên FPGA.	4	[2.2.3]
CĐR3	Mức tự chủ và trách nhiệm		
CĐR3.1	Có năng lực làm việc độc lập, làm việc theo nhóm trong việc phân tích, thiết kế phần cứng, chương trình và đánh giá, đưa ra kết luận các công việc của nhóm.	4	[2.3.1]
CĐR3.2	Có khả năng định hướng, dẫn dắt, giám sát các thành viên trong nhóm thực hiện các nhiệm vụ.	4	[2.3.2]
CĐR3.3	Có khả năng định hướng, đưa ra kết luận chuyên môn và bảo vệ được quan điểm cá nhân trước các thành viên trong nhóm.	4	[2.3.3]

10. Ma trận liên kết nội dung với chuẩn đầu ra học phần:

TT	Nội dung học phần	Chuẩn đầu ra của học phần									
		CDR1			CDR2			CDR3			
		CDR 1.1	CDR 1.2	CDR 1.3	CDR 2.1	CDR 2.2	CDR 2.3	CDR 3.1	CDR 3.2	CDR 3.3	
1.	CHƯƠNG 1. TỔNG QUAN VỀ THIẾT KẾ MẠCH TÍCH HỢP SỐ 1.1. Tổng quan về thiết kế mạch logic số. 1.2. Thiết kế mạch logic số sử dụng IC rời rạc. 1.3. Thiết kế mạch logic số sử dụng PLD. Bài thực hành số 1.		x		x				x	x	x
2.	CHƯƠNG 2. NGÔN NGỮ VHDL 2.1. Giới thiệu ngôn ngữ VHDL. 2.2. Cấu trúc code 2.3. Các kiểu dữ liệu 2.4. Các phép toán và thuộc tính. 2.5. Các phát biểu trong architecture. 2.6. Mô phỏng ngôn ngữ VHDL trên modelsim. Bài thực hành số 2.		x	x		x	x	x	x	x	x
3.	CHƯƠNG 3. CÔNG NGHỆ FPGA 3.1. Tổng quan về ASIC/ASIP. 3.2. Tổng quan về FPGA. 3.3. Cấu trúc FPGA. 3.4. Quá trình lập trình FPGA. 3.5. FPGA của Xilinx 3.6. FPGA của Altera 3.7. Thực hiện FPGA bằng phần mềm hỗ trợ trên các Kit phát triển. Bài thực hành số 3. Bài thực hành số 4. Kiểm tra giữa học phần (Hình thức thực hành)		x			x	x	x	x	x	x
4.	CHƯƠNG 4. THIẾT KẾ MẠCH LOGIC TỔ HỢP			x			x	x	x	x	x

TT	Nội dung học phần	Chuẩn đầu ra của học phần								
		CDR1			CDR2			CDR3		
		CDR 1.1	CDR 1.2	CDR 1.3	CDR 2.1	CDR 2.2	CDR 2.3	CDR 3.1	CDR 3.2	CDR 3.3
	4.1. Tổng quan về mạch logic tổ hợp 4.2. Một số mạch logic tổ hợp cơ bản 4.3. Thiết kế mạch tổ hợp bằng VHDL 4.4. Một số ví dụ minh họa. Bài thực hành số 5									
5.	CHƯƠNG 5. THIẾT KẾ MẠCH LOGIC TUẦN TỰ 5.1. Tổng quan về mạch tuần tự (mạch dây). 5.2. Một số mạch dây cơ bản. 5.3. Thiết kế mạch dây theo VHDL. 5.4. Ví dụ minh họa. Bài thực hành số 6 Bài thực hành số 7	x	x		x	x		x	x	x
6.	CHƯƠNG 6. XÂY DỰNG HỆ NHÚNG 6.1. Tổng quan về hệ nhúng. 6.2. Xây dựng vi điều khiển mềm. 6.3. Thiết kế một số giao tiếp vào/ra. 6.4. Ví dụ minh họa Bài thực hành số 8 Bài thực hành số 9		x	x		x	x	x	x	x

11. Đánh giá học phần

11.1. Kiểm tra và đánh giá trình độ

Chuẩn đầu ra	Mức độ thành thạo được đánh giá bởi
CDR1	Kiểm tra thường xuyên
CDR2	Thảo luận nhóm, kiểm tra giữa học phần
CDR3	Thi kết thúc học phần

11.2. Cách tính điểm học phần: Tính theo thang điểm 10 sau đó chuyển thành thang điểm chữ và thang điểm 4

STT	Điểm thành phần	Quy định	Trọng số	Ghi chú
1	Điểm thường xuyên, đánh giá nhận thức, thái độ thảo luận, chuyên cần, làm bài tập ở nhà.	01 điểm đánh giá trở lên	20%	
2	Kiểm tra giữa học phần	01 bài thực hành 90'	30%	
3	Thi kết thúc học phần	01 bài thực hành 90'	50%	

11.3. Phương pháp đánh giá

- Điểm thường xuyên, đánh giá nhận thức, thái độ thảo luận, chuyên cần của sinh viên được đánh giá thông qua ý thức học tập, tỉ lệ hiện diện của sinh viên trên lớp, tinh thần, tác phong xây dựng bài, tự học, hoạt động nhóm.

- Kiểm tra giữa học phần theo hình thức thực hành được thực hiện sau khi học xong chương 3. Cấu trúc đề kiểm tra bao gồm 2 câu hỏi. Điểm chấm được đánh giá theo đáp án.

- Thi kết thúc học phần theo kế hoạch, tiến độ đào tạo. Sinh viên được phụ đạo ít nhất 1 buổi trước khi thi. Đề thi được chọn ngẫu nhiên trong bộ đề thi và được thực hiện theo đúng quy định. Cấu trúc đề thi bao gồm 2 câu hỏi. Điểm chấm được đánh giá theo đáp án.

12. Phương pháp dạy và học

- Phương pháp dạy: Phương pháp trực quan, thuyết trình, giảng giải, đàm thoại, thảo tác mẫu.

- Phương pháp học: Phương pháp học nhóm, thảo luận nhóm..

13. Yêu cầu học phần

- Yêu cầu về nghiên cứu tài liệu: Đọc các tài liệu về các mạch logic tổ hợp, mạch dãy, FPGA và trình tự lập trình thiết kế các mạch logic tổ hợp, mạch dãy, các điều khiển vào/ra và vi điều khiển luồng bằng ngôn ngữ VHDL.

- Yêu cầu về làm bài tập: Làm đầy đủ các bài tập và các chủ đề tự học theo nhóm

- Yêu cầu về thái độ học tập: Chuẩn bị đầy đủ tài liệu và dụng cụ trước khi đến lớp. Ghi chép và tích cực làm bài tập và các chủ đề tự học, tự nghiên cứu

- Yêu cầu về chuyên cần: Sinh viên tham dự ít nhất 80% thời lượng học phần theo quy chế

- Yêu cầu về kiểm tra giữa học phần và thi kết thúc học phần: Sinh viên thực hiện theo quy chế.

14. Tài liệu phục vụ học phần:

- **Tài liệu bắt buộc:**

[1]. Giáo trình *Thiết kế mạch logic tổ hợp*, Trường Đại Học Sao Đỏ.

- **Tài liệu tham khảo:**

[2] - Tống Văn On (2007), *Thiết kế mạch số với VHDL và Verilog*, Nhà xuất bản Lao Động Xã Hội.

15. Nội dung chi tiết học phần:

TT	Nội dung giảng dạy	Lý thuyết	Thực hành	Tài liệu đọc trước	Nhiệm vụ của sinh viên
1.	<p>CHƯƠNG 1. TỔNG QUAN VỀ THIẾT KẾ MẠCH TÍCH HỢP SỐ</p> <p>Mục tiêu chương: Trình bày được tổng quan về thiết kế mạch logic số, trình tự thiết kế mạch logic số dùng IC rời rạc và PLD.</p> <p>Nội dung cụ thể: 1.1. Tổng quan về thiết kế mạch logic số. Bài thực hành số 1.</p>	2	2	[1]	<ul style="list-style-type: none"> - Nghiên cứu mục tiêu, chương trình, kế hoạch dạy học phần. - Chuẩn bị các học liệu và phương tiện học tập cần thiết. - Đọc nội dung tài liệu [1] - Mục 1.1. - Hiểu được tổng quan về thiết kế mạch logic số. - Hoàn thành 1/2 nội dung bài thực hành số 1
2.	<p>1.2. Thiết kế mạch logic số sử dụng IC rời rạc. 1.3. Thiết kế mạch logic số sử dụng PLD. Bài thực hành số 1 (Tiếp theo)</p>	2	2	[1]	<ul style="list-style-type: none"> - Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 1.2, 1.3 - Hiểu được trình tự thiết kế mạch logic số sử dụng IC rời rạc và PLD. - Hoàn thành 1/2 nội dung bài thực hành số 1 (Tiếp theo)
3.	<p>CHƯƠNG 2. NGÔN NGỮ VHDL</p> <p>Mục tiêu chương: Trình bày được cấu trúc lệnh, các kiểu dữ liệu, các phép toán, thuộc tính và mô phỏng ngôn ngữ VHDL trên modelsim.</p> <p>Nội dung cụ thể: 2.1. Giới thiệu ngôn ngữ VHDL. 2.2. Cấu trúc code 2.3. Các kiểu dữ liệu 2.4. Các phép toán và thuộc tính. Bài thực hành số 2.</p>	2	2	[1]	<ul style="list-style-type: none"> - Chuẩn bị giáo trình, dụng cụ phục vụ học tập. - Đọc nội dung tài liệu [1] - Mục 2.1, 2.2, 2.3, 2.4. - Hiểu được cấu trúc lệnh, các kiểu dữ liệu, các phép toán và thuộc tính của ngôn ngữ VHDL. <p>Hoàn thành 1/2 nội dung bài thực hành số 2.</p>
4.	<p>2.5. Các phát biểu trong architecture. 2.6. Mô phỏng ngôn ngữ</p>	2	2	[1]	<ul style="list-style-type: none"> - Chuẩn bị giáo trình, dụng cụ phục vụ học tập. - Đọc nội dung tài liệu [1] -

TT	Nội dung giảng dạy	Lý thuyết	Thực hành	Tài liệu đọc trước	Nhiệm vụ của sinh viên
	VHDL trên modelsim. Bài thực hành số 2 (Tiếp theo)				Mục 2.5, 2.6. - Hiểu được các phát biểu trong architecture, trình tự mô phỏng ngôn ngữ VHDL trên modelsim - Hoàn thành 1/2 nội dung bài thực hành số 2 (Tiếp theo)
5.	CHƯƠNG 3. CÔNG NGHỆ FPGA Mục tiêu chương: - Trình bày được tổng quan về ASIC/ASIP, FPGA. - Trình bày được cấu trúc, quá trình lập trình FPGA, FPGA của Xilinx và Altera. Nội dung cụ thể: 3.1. Tổng quan về ASIC/ASIP. 3.2. Tổng quan về FPGA. Bài thực hành số 3.	2	2	[1], [2]	- Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 3.1, 3.2, 3.3, 3.4. - Đọc nội dung tài liệu [2] – Mục 1.2.1, 1.2.3. - Hiểu được tổng quan về ASIC/ASIP và FPGA. - Hoàn thành 1/2 nội dung bài thực hành số 3.
6.	3.3. Cấu trúc FPGA. 3.4. Quá trình lập trình FPGA. Bài thực hành số 3 (Tiếp theo)	2	2	[1], [2]	- Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 1.2.2 - Đọc nội dung tài liệu [2] – Chương 1, mục 1.1, 1.2. - Hiểu được cấu trúc và trình tự lập trình FPGA. - Hoàn thành 1/2 nội dung bài thực hành số 3 (Tiếp theo)
7.	3.5. FPGA của Xilinx 3.6. FPGA của Altera 3.7. Thực hiện FPGA bằng phần mềm hỗ trợ trên các Kit phát triển. Bài thực hành số 4	2	2	[1], [2]	- Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 3.5, 3.6, 3.7. - Đọc nội dung tài liệu [2] - Mục 1.2.2, 1.3. - Hiểu được cấu trúc FPGA của Xilinx và Altera. - Hoàn thành nội dung bài thực hành số 4.

TT	Nội dung giảng dạy	Lý thuyết	Thực hành	Tài liệu đọc trước	Nhiệm vụ của sinh viên
8.	<p>CHƯƠNG 4. THIẾT KẾ MẠCH LOGIC TỔ HỢP</p> <p>Mục tiêu chương:</p> <p>-Trình bày được một số mạch logic tổ hợp và phương pháp thiết kế mạch logic tổ hợp bằng VHDL.</p> <p>Nội dung cụ thể:</p> <p>4.1. Tổng quan về mạch logic tổ hợp</p> <p>4.2. Một số mạch logic tổ hợp cơ bản</p> <p>Kiểm tra giữa học phần (Hình thức thực hành)</p>	2	2	[1], [2]	<ul style="list-style-type: none"> - Chuẩn bị giáo trình, dụng cụ phục vụ học tập. - Đọc nội dung tài liệu [1] - Mục 4.1, 4.2. - Đọc nội dung tài liệu [2] – Chương 6, mục 6.2, 6.3, 6.4, 6.5, 6.6.. - Hiểu được tổng quan và một số mạch logic tổ hợp. - Hoàn thành bài kiểm tra giữa học phần.
9.	<p>4.3. Thiết kế mạch tổ hợp bằng VHDL</p> <p>Bài thực hành số 5.</p>	2	2	[1], [2]	<ul style="list-style-type: none"> - Chuẩn bị giáo trình, dụng cụ phục vụ học tập. - Đọc nội dung tài liệu [1] – Chương 4, Mục 4.3 - Đọc nội dung tài liệu [2] – Chương 6, mục 6.7, 6.8, 6.9. - Hiểu được phương pháp thiết kế mạch tổ hợp bằng VHDL. - Hoàn thành 1/2 nội dung bài thực hành số 5.
10.	<p>4.4. Một số ví dụ minh họa.</p> <p>Bài thực hành số 5 (Tiếp theo)</p>	2	2	[1]	<ul style="list-style-type: none"> - Chuẩn bị giáo trình, dụng cụ phục vụ học tập. - Đọc nội dung tài liệu [1] - Mục 4.4. - Hiểu được một số ví dụ minh họa về thiết kế mạch logic bằng VHDL. - Hoàn thành 1/2 nội dung bài thực hành số 5 (Tiếp theo).
11.	<p>CHƯƠNG 5. THIẾT KẾ MẠCH LOGIC TUẦN TỰ</p> <p>Mục tiêu chương:</p> <p>Trình bày được tổng quan về mạch tuần tự và một số mạch dãy cơ bản, phương pháp thiết kế mạch dãy theo VHDL.</p>	2	2	[1], [2]	<ul style="list-style-type: none"> - Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 5.1. - Đọc nội dung tài liệu [2] – Chương 7, mục 7.1. - Hiểu được tổng quan về

TT	Nội dung giảng dạy	Lý thuyết	Thực hành	Tài liệu đọc trước	Nhiệm vụ của sinh viên
	Nội dung cụ thể: 5.1. Tổng quan về mạch tuần tự (mạch dây). Bài thực hành số 6				mạch tuần tự. - Hoàn thành 1/2 nội dung bài thực hành số 6.
12.	5.2. Một số mạch dây cơ bản. Bài thực hành số 6 (Tiếp theo).	2	2	[1], [2]	- Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 5.2. - Đọc nội dung tài liệu [2] – Chương 7, mục 7.2, 7.3, 7.4. - Hiểu được một số mạch dây cơ bản. - Hoàn thành 1/2 nội dung bài thực hành số 6 (Tiếp theo).
13.	5.3. Thiết kế mạch dây theo VHDL. 5.4. Ví dụ minh họa. Bài thực hành số 7	2	2	[1],[2]	- Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 5.3, 5.4. - Đọc nội dung tài liệu [2] – Chương 7, mục 7.3, 7.4. - Hiểu được các thanh ghi điều khiển truyền thông nối tiếp. - Hoàn thành nội dung bài thực hành số 7.
14.	CHƯƠNG 6. XÂY DỰNG HỆ NHÚNG Mục tiêu chương: Trình bày được tổng quan về hệ nhúng, các bước thiết kế một số giao diện vào/ra, vi điều khiển mềm. Nội dung cụ thể: 6.1. Tổng quan về hệ nhúng. 6.2. Xây dựng vi điều khiển mềm. Bài thực hành số 8	2	2	[1]	- Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 6.1, 6.2. - Hiểu được tổng quan về hệ nhúng, phương pháp xây dựng vi điều khiển mềm. - Hoàn thành nội dung bài thực hành số 8.
15.	6.3. Thiết kế một số giao tiếp vào/ra. 6.4. Ví dụ minh họa Bài thực hành số 9	2	2	[1]	- Chuẩn bị giáo trình, dụng cụ phục vụ học tập - Đọc nội dung tài liệu [1] - Mục 6.3, 6.4.

TT	Nội dung giảng dạy	Lý thuyết	Thực hành	Tài liệu đọc trước	Nhiệm vụ của sinh viên
					<ul style="list-style-type: none"> - Hiểu được phương pháp thiết kế một số giao tiếp vào/ra sử dụng VHDL. - Hoàn thành nội dung bài thực hành số 9

Hải Dương, ngày 24 tháng 09 năm 2020



TS. Nguyễn Thị Kim Nguyên

TRƯỞNG KHOA

Trần Duy Khánh

TRƯỞNG BỘ MÔN

Nguyễn Tiên Phúc