

**BỘ CÔNG THƯƠNG
TRƯỜNG ĐẠI HỌC SAO ĐỎ

**ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN
ĐIỆN TỬ SỐ**

Số tín chỉ: 02

Trình độ đào tạo: Đại học

Ngành: Công nghệ kỹ thuật Điện, Điện Tử

Năm 2016

ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN

Trình độ đào tạo: Đại học

Ngành đào tạo: Công nghệ kỹ thuật Điện – Điện Tử

- Tên học phần:** Điện tử số
- Mã học phần:** DTU 222
- Số tín chỉ:** 2(2,0)
- Trình độ cho sinh viên:** Năm thứ hai
- Phân bố thời gian:**
 - Lên lớp: 30 tiết lý thuyết, 0 giờ thực hành
 - Tự học: 60 giờ
- Điều kiện tiên quyết:** Sau khi sinh viên đã học xong học phần Mạch điện tử tương tự.
- Giảng viên:**

| STT | Học hàm, học vị, họ tên | Số điện thoại | Email |
|-----|--------------------------|---------------|--------------------------|
| 1 | ThS. Hoàng Thị Minh Hồng | 0988.926.323 | minhhong.saodo@gmail.com |
| 2 | ThS. Tạ Thị Mai | 0972.200.364 | maidtth@gmail.com |
| 3 | ThS. Nguyễn Thị Quyên | 0915.203.904 | quyenmt96@yahoo.com |

8. Mô tả nội dung của học phần:

Học phần điện tử số cung cấp cho sinh viên những kiến thức cơ bản về các hệ thống đếm, đại số logic và các mạch logic cơ bản, phương pháp thiết kế mạch điện logic tổ hợp, thiết kế một số mạch logic điển hình, các phần tử nhớ cơ bản, nguyên lý hoạt động của một số mạch tuần tự cơ bản, từ đó sinh viên có khả năng phân tích và thiết kế được các mạch điện tử logic từ các yêu cầu thực tế cho trước.

9. Mục tiêu và chuẩn đầu ra của học phần:

9.1. Mục tiêu

- Mục tiêu học phần thỏa mãn mục tiêu của chương trình đào tạo:

| Mục tiêu | Mô tả | Mức độ theo thang đo Bloom | Phân bố mục tiêu học phần trong CTĐT |
|----------|--|----------------------------|--------------------------------------|
| MT1 | Kiến thức | | |
| MT1.1 | Trình bày được các hệ đếm thông dụng, các phương pháp biểu diễn hàm logic, các phần tử logic, các phần tử nhớ cơ bản và các mạch logic tổ hợp. | 2 | [1.2.1.2a] |
| MT1.2 | Vận dụng được các kiến thức cơ bản về đại số logic để xây dựng được phương pháp phân tích và thiết kế mạch | 3 | [1.2.1.2b] |

| Mục tiêu | Mô tả | Mức độ theo thang đo Bloom | Phân bổ mục tiêu học phần trong CTĐT |
|------------|--|----------------------------|--------------------------------------|
| | logic tổ hợp. | | |
| MT2 | Kỹ năng | | |
| MT2.1 | Nhận dạng được các phần tử logic và các phần tử nhớ | 4 | [1.2.2.1] |
| MT2.2 | Có khả năng đọc, phân tích, được mạch logic, thiết kế được mạch logic số theo yêu cầu thực tế. | 4 | [1.2.2.2] [1.2.2.3] |
| MT3 | Năng lực tự chủ và trách nhiệm | | |
| MT3.1 | Có thái độ làm việc tích cực, độc lập | 4 | [1.2.3.1] |
| MT3.2 | Hình thành tư duy phân tích mạch điện tử logic | 4 | [1.2.3.2] |

9.2. Chuẩn đầu ra

- Sự phù hợp của chuẩn đầu ra học phần với chuẩn đầu ra của chương trình đào tạo:

| CĐR học phần | Mô tả | Thang đo Bloom | Phân bổ CĐR học phần trong CTĐT |
|--------------|--|----------------|---------------------------------|
| CĐR1 | Kiến thức | | |
| CĐR1.1 | Vận dụng được các nguyên tắc chuyển đổi số giữa các hệ đếm, các phương pháp biểu diễn hàm logic. | 3 | [2.1.3] |
| CĐR1.2 | Trình bày được tên gọi, ký hiệu, phương trình hàm logic của các phần tử logic cơ bản | 2 | [2.1.4] |
| CĐR1.3 | Phân tích được trình tự xây dựng các mạch logic tổ hợp | 4 | |
| CĐR1.4 | Giải thích ký hiệu, hoạt động của các phần tử nhớ cơ bản | 2 | |
| CĐR1.5 | Phân tích được hoạt động của các mạch hợp kênh, phân kênh, mạch ghi dịch và mạch đếm | 4 | |
| CĐR2 | Kỹ năng | | |
| CĐR2.1 | Nhận dạng được các phần tử logic cơ bản, các phần tử nhớ, các mạch dây | 3 | [2.2.1] |
| CĐR2.2 | Thiết kế được các mạch logic tổ hợp, mạch dây theo các yêu cầu thực tế | 4 | [2.2.1] |
| CĐR2.3 | Vận dụng vào thực tế để giải quyết các bài toán chuyên ngành | 3 | [2.2.2] |
| CĐR3 | Năng lực tự chủ và trách nhiệm | | |

| CDR học phần | Mô tả | Thang đo Bloom | Phân bố CDR học phần trong CTĐT |
|---------------------|---|-----------------------|--|
| CDR3.1 | Có khả năng làm việc độc lập, làm việc theo nhóm trong việc phân tích và thiết kế bản vẽ kỹ thuật. Có năng lực đánh giá, đưa ra kết luận các công việc của nhóm | 4 | [2.3.1] |
| CDR3.2 | Chủ động trong quá trình thiết kế, lắp đặt và thi công mạch logic tổ hợp, mạch dây | 3 | [2.3.3] |

10. Ma trận liên kết nội dung với chuẩn đầu ra học phần:

| Chương | Nội dung học phần | Chuẩn đầu ra của học phần | | | | | | | | | |
|--------|--|---------------------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| | | CDR1 | | | | | CDR2 | | | CDR3 | |
| | | CDR 1.1 | CDR 1.2 | CDR 1.3 | CDR 1.4 | CDR 1.5 | CDR 2.1 | CDR 2.2 | CDR 2.3 | CDR 3.1 | CDR 3.2 |
| 1 | Chương I: Các hệ đếm và mã 1.1. Hệ đếm 1.1.1. Khái niệm 1.1.2. Biểu diễn số trong các hệ đếm 1.2. Chuyển đổi số giữa các hệ đếm 1.2.1. Chuyển đổi số từ hệ đếm 2 (hoặc 8 hoặc 16) sang thập phân 1.2.2. Chuyển đổi từ hệ thập phân sang hệ đếm 2 (hoặc 8 hoặc 16) 1.2.3. Chuyển đổi từ hệ đếm 16 sang hệ đếm 2 và ngược lại 1.2.4. Chuyển đổi từ hệ đếm 8 sang hệ đếm 2 và ngược lại 1.3. Các phép tính số học trong hệ đếm nhị phân 1.3.1. Phép cộng 1.3.2. Phép trừ 1.3.3. Phép nhân 1.3.4. Phép chia 1.4. Mã hoá số của hệ thập phân. 1.4.1. Mã BCD 1.4.2. Mã không có trọng số 1.5. Mã các chữ cái, chữ số. | | | | | | | | | | |

| Chương | Nội dung học phần | Chuẩn đầu ra của học phần | | | | | | | | | |
|--------|---|---------------------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| | | CDR1 | | | | | CDR2 | | | CDR3 | |
| | | CĐR 1.1 | CĐR 1.2 | CĐR 1.3 | CĐR 1.4 | CĐR 1.5 | CĐR 2.1 | CĐR 2.2 | CĐR 2.3 | CĐR 3.1 | CĐR 3.2 |
| 2 | Chương 2: Đại số logic 2.1. Hàm logic 2.1.1. Một số định nghĩa 2.1.2. Các hàm logic cơ bản 2.1.2.1. Hàm NOT (đảo, phủ định) 2.1.2.2. Hàm AND 2.1.2.3. Hàm OR 2.1.2.4. Hàm EX-OR (OR loại trừ) 2.1.3. Tính chất của các hàm logic cơ bản: 2.1.3.1. Tính chất cơ bản: 2.1.3.2. Tính song đối 2.1.3.3. Định lý De Morgan 2.2. Cách biểu diễn hàm lôgic 2.2.1. Biểu diễn bằng bảng trạng thái 2.2.2. Biểu diễn hàm lôgic ở dạng biểu thức giải tích 2.2.3. Biểu diễn hàm logic bằng bảng Karnaugh (cacnô) 2.3. Tối thiểu hóa hàm 2.3.1. Mục đích của việc tối thiểu hóa hàm logic 2.3.2. Phương pháp đại số 2.3.3. Tối thiểu hóa hàm bằng bảng cacnô 2.3.4. Phương pháp Quine-Mc. Cluskey | | | | | | | | | | |

| Chương | Nội dung học phần | Chuẩn đầu ra của học phần | | | | | | | | | |
|--------|---|---------------------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| | | CDR1 | | | | | CDR2 | | | CDR3 | |
| | | CĐR 1.1 | CĐR 1.2 | CĐR 1.3 | CĐR 1.4 | CĐR 1.5 | CĐR 2.1 | CĐR 2.2 | CĐR 2.3 | CĐR 3.1 | CĐR 3.2 |
| 3 | Chương 3: Mạch logic tổ hợp 3.1. Các phần tử logic cơ bản 3.1.1 Phần tử phủ định (Phần tử đảo - NOT) 3.1.2. Phần tử và (AND) 3.1.3. Phần tử và đảo (NAND) 3.1.4. Phần tử hoặc (OR) 3.1.5. Phần tử hoặc - Đảo (NOR) 3.1.6. Phần tử lặp (YES) 3.1.7. Phần tử cộng loại trừ (XOR) 3.1.8. Phần tử không cộng loại trừ (XNOR) 3.2. Phân tích và Thiết kế mạch logic tổ hợp 3.2.1. Phân tích mạch. 3.2.2. Thiết kế mạch logic tổ hợp. 3.3. Một số mạch logic tổ hợp thông dụng 3.3.1. Bộ hợp kênh và phân kênh 3.3.1.1. Bộ hợp kênh 3.3.1.2. Bộ phân kênh (Demultiplexer) 3.3.1.3. ứng dụng của bộ hợp kênh và phân kênh 3.3.2. Các mạch mã hoá và giải mã 3.3.2.1. Mạch mã hoá (Encoder). | | | | | | | | | | |
| | | | | | | | | | | | |

| Chương | Nội dung học phần | Chuẩn đầu ra của học phần | | | | | | | | | |
|--------|---|---------------------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| | | CDR1 | | | | | CDR2 | | | CDR3 | |
| | | CĐR 1.1 | CĐR 1.2 | CĐR 1.3 | CĐR 1.4 | CĐR 1.5 | CĐR 2.1 | CĐR 2.2 | CĐR 2.3 | CĐR 3.1 | CĐR 3.2 |
| | 3.3.3.2. Mạch giải mã (Decoder) | | | | | | | | | | |
| 4 | Chương 4: Mạch Dãy 4.1. Các phần tử nhớ cơ bản 4.1.1. Khái niệm chung 4.1.2. Trơ RS 4.1.3. Trơ đồng bộ RST 4.1.4. Trơ JK 4.1.5. Trơ D 4.2. Bộ đếm 4.2.1. Đếm nhị phân 4.2.1.1. Bộ đếm không đồng bộ 4.2.1.2. Đếm đồng bộ 4.2.2. Đếm 10 mã BCD (Decade). 4.2.2.1. Bộ đếm 10 tiến không đồng bộ mã BCD. 4.2.2.2. Đếm 10 mã BCD đồng bộ 4.3. Các bộ ghi dịch (Shift Register) 4.3.1. Bộ ghi song song 4.3.2. Bộ ghi dịch nối tiếp 4.4. Các bộ chia tần 4.4.1. Mạch chia 3: 4.4.2. Mạch chia 5 | | x | | x | | x | x | x | x | |

11. Đánh giá học phần

11.1. Kiểm tra và đánh giá trình độ

| Chuẩn đầu ra | Mức độ thành thạo được đánh giá |
|--------------|--|
| CĐR1 | Bài tập thực hành, bài tập lớn, kiểm tra thường xuyên, giữa học phần |
| CĐR2 | Bài tập lớn về thiết kế mạch logic; thi kết thúc học phần. |
| CĐR3 | Kiểm tra thường xuyên; Bài tập lớn và các chủ đề về mạch logic theo nhóm |

11.2. Cách tính điểm học phần: Tính theo thang điểm 10 sau đó chuyển thành thang điểm chữ và thang điểm 4

| STT | Điểm thành phần | Quy định | Trọng số | Ghi chú |
|-----|--|--------------------------|----------|---------|
| 1 | Điểm thường xuyên, đánh giá nhận thức, thái độ thảo luận, chuyên cần của sinh viên, điểm bài tập lớn, bài tập thực hành. | 01 điểm đánh giá trở lên | 20% | |
| 2 | Kiểm tra giữa học phần | 01 bài | 30% | |
| 3 | Thi kết thúc học phần | 01 bài | 50% | |

11.3. Phương pháp đánh giá

- Điểm kiểm tra thường xuyên; điểm đánh giá nhận thức; điểm thái độ tham gia thảo luận; điểm chuyên cần được đánh giá theo phương pháp quan sát. Điểm bài tập lớn được đánh giá theo hình thức tự luận.

- Kiểm tra giữa học phần được thực hiện sau khi học xong chương 3, được đánh giá theo hình thức tự luận:

- + Thời gian làm bài: 90 phút
- + Sinh viên không sử dụng tài liệu

- Thi kết thúc học phần theo hình thức trắc nghiệm:

- + Thời gian làm bài: 60 phút
- + Sinh viên không sử dụng tài liệu

12. Phương pháp dạy và học

Giảng viên giới thiệu học phần, tài liệu học tập, tài liệu tham khảo, các địa chỉ website để tìm tư liệu liên quan đến học phần. Nêu nội dung cốt lõi của chương và tổng kết chương, sử dụng bài giảng điện tử và các giáo cụ trực quan trong giảng dạy. Tập trung hướng dẫn học, phản hồi kết quả thảo luận, bài tập lớn, kết quả kiểm tra và các nội dung lý thuyết chính mỗi chương.

Giảng viên mô tả các hoạt động thực tế trong quá trình sản xuất và liên hệ đến việc thiết kế, lắp ráp, vận hành và hiệu chỉnh mạch số thực tế

Các phương pháp giảng dạy có thể áp dụng: Phương pháp thuyết trình, trực quan; Phương pháp phân tích; Phương pháp thảo luận nhóm; Phương pháp mô phỏng.

Sinh viên chuẩn bị nội dung bài học trước khi đến lớp theo chương, làm đầy đủ các yêu cầu của giáo viên bộ môn đối với học phần, tự phân công nhiệm vụ và chủ động làm việc theo nhóm, thảo luận và giải quyết vấn đề

Sinh viên tích cực, chủ động nắm bắt kiến thức lý thuyết để vận dụng và phát triển kỹ năng, tư duy về thiết kế, lắp ráp và vận hành mạch số trong việc thực hiện nhiệm vụ do giảng viên yêu cầu, đồng thời sinh viên phải thể hiện được tính kiên trì, tỉ mỉ và tuân thủ quy tắc thiết kế cũng như trong việc tính toán các thông số cho mạch số. Trong quá trình học tập, sinh viên được khuyến khích đặt câu hỏi phản biện, trình bày quan điểm, các ý tưởng sáng tạo mới dưới nhiều hình thức khác nhau

13. Yêu cầu học phần

- Yêu cầu về nghiên cứu tài liệu: Đọc Datasheet các IC tích hợp các cổng logic cơ bản, các phần tử nhớ cơ bản...

- Yêu cầu về làm bài tập: Làm đầy đủ các bài tập lớn và các chủ đề tự học theo nhóm.

- Yêu cầu về thái độ học tập: Chuẩn bị đầy đủ tài liệu và dụng cụ trước khi đến lớp. Ghi chép và tích cực làm bài tập lớn và các chủ đề tự học, tự nghiên cứu

- Yêu cầu về chuyên cần: Sinh viên tham dự tối thiểu 80% thời lượng của học phần

- Yêu cầu về kiểm tra giữa kỳ và thi kết thúc học phần: Sinh viên thực hiện theo kế hoạch tiến độ, quy chế.

14. Tài liệu học tập:

- **Tài liệu bắt buộc:**

[1] *Giáo trình Điện tử số*, Trường Đại học Sao Đỏ (2016).

- **Tài liệu tham khảo:**

[2] Nguyễn Thuý Vân (2009), *Kỹ thuật số* - NXB Khoa học và kỹ thuật.

[3] PGS.TS. Nguyễn Quốc Trung (2012), *Kỹ thuật số* - NXB Giáo dục Việt Nam.

15. Nội dung chi tiết học phần:

| TT | Nội dung | Lý thuyết | Thực hành | Tài liệu đọc trước | Nhiệm vụ của sinh viên |
|----|--|-----------|-----------|--------------------|---|
| 1. | <p>Chương I: Các hệ đếm và mã</p> <p>Mục tiêu chương: Hiểu được khái niệm các hệ đếm, trình bày được các phương pháp chuyển đổi giữa các hệ đếm. Trình bày được các phép tính số học trong hệ nhị phân</p> <p>Nội dung cụ thể: 1.1. Hệ đếm 1.1.1. Khái niệm 1.1.2. Biểu diễn số trong các hệ đếm 1.2. Chuyển đổi số giữa các hệ đếm</p> | 02 | | [1] [3] | <p>- Chuẩn bị các học liệu và phương tiện học tập cần thiết.</p> <p>- Nghiên cứu tài liệu [1] mục 1.1, 1.2. [3] mục 1.4. Làm bài tập 1.1, 1.2 tài liệu [1].</p> |


| TT | Nội dung | Lý thuyết | Thực hành | Tài liệu đọc trước | Nhiệm vụ của sinh viên |
|----|--|-----------|-----------|--------------------|--|
| | 1.2.1. Chuyển đổi số từ hệ đếm 2 (hoặc 8 hoặc 16) sang thập phân 1.2.2. Chuyển đổi từ hệ thập phân sang hệ đếm 2 (hoặc 8 hoặc 16) | | | | |
| 2. | 1.2.3. Chuyển đổi từ hệ đếm 16 sang hệ đếm 2 và ngược lại 1.2.4. Chuyển đổi từ hệ đếm 8 sang hệ đếm 2 và ngược lại 1.3. Các phép tính số học trong hệ đếm nhị phân 1.3.1. Phép cộng 1.3.2. Phép trừ 1.3.3. Phép nhân 1.3.4. Phép chia | 02 | | [1] [3] | - Nghiên cứu tài liệu [1] mục 1.2.3, 1.2.4, 1.3. - Làm bài tập 1.3, 1.4, 1.5, 1.6 tài liệu [1]. [3] mục 1.5. |
| 3. | 1.4. Mã hoá số của hệ thập phân. 1.4.1. Mã BCD 1.4.2. Mã không có trọng số 1.5. Mã các chữ cái, chữ số. Chương 2: Đại số logic Mục tiêu chương: - Trình bày các định nghĩa, các hàm logic cơ bản, các tính chất, định lý trong đại số logic. - Giải thích các phương pháp biểu diễn hàm logic - Nêu trình tự các bước thực hiện tối thiểu hóa hàm logic Nội dung cụ thể: 2.1. Hàm logic 2.1.1. Một số định nghĩa 2.1.2. Các hàm logic cơ bản 2.1.2.1. Hàm NOT (đảo, phủ định) 2.1.2.2. Hàm AND 2.1.2.3. Hàm OR 2.1.2.4. Hàm EX-OR (OR loại trừ) | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 1.4, 1.5, 2.1. [2] mục 1-7 [3] mục 1.7. Làm bài tập 2.8 tài liệu [1]. |
| 4. | 2.1.3. Tính chất của các hàm logic cơ bản: | 02 | | [1] [2] | - Nghiên cứu tài liệu |


| TT | Nội dung | Lý thuyết | Thực hành | Tài liệu đọc trước | Nhiệm vụ của sinh viên |
|----|--|-----------|-----------|--------------------|--|
| | 2.1.3.1. Tính chất cơ bản: 2.1.3.2. Tính song đối 2.1.3.3. Định lý De Morgan 2.2. Cách biểu diễn hàm logic 2.2.1. Biểu diễn bằng bảng trạng thái 2.2.2. Biểu diễn hàm logic ở dạng biểu thức giải tích | | | [3] | [1] mục 2.2. [2] mục 1-4. [3] mục 2.2, 2.4. Làm bài tập 2.1, 2.2, 2.3, 2.9, 2.10, 2.11 tài liệu [1]. |
| 5. | 2.2.3. Biểu diễn hàm logic bằng bảng Karnaugh (cacnô) 2.3. Tối thiểu hóa hàm 2.3.1. Mục đích của việc tối thiểu hóa hàm logic 2.3.2. Phương pháp đại số 2.3.3. Tối thiểu hóa hàm bằng bảng cacnô | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 2.3.3, 2.3.4. [2] mục 1-4. [3] mục 2.7 Làm bài tập 2.4, 2.5, 2.6, 2.7 2.12, 2.13 tài liệu [1]. |
| 6. | 2.3.4. Phương pháp Quine-Mc. Cluskey Chương 3: Mạch logic tổ hợp Mục tiêu chương: - Vẽ ký hiệu, bảng trạng thái, viết phương trình logic của các phần tử logic cơ bản - Trình bày phương pháp phân tích và thiết kế mạch logic tổ hợp Nội dung cụ thể: 3.1. Các phần tử logic cơ bản 3.1.1 Phần tử phủ định (Phần tử đảo - NOT) 3.1.2. Phần tử và (AND) 3.1.3. Phần tử và đảo (NAND) 3.1.4. Phần tử hoặc (OR) | 02 | | [1] [2] | - Nghiên cứu tài liệu [1] mục 2.3.3, 2.3.4. [2] mục 2-3, 2-4. [1] mục 3.1. [2] mục 1-3. Làm bài tập 2.14 tài liệu [1]. |
| 7. | 3.1.5. Phần tử hoặc - Đảo (NOR) 3.1.6. Phần tử lập (YES) 3.1.7. Phần tử cộng loại trừ (XOR) 3.1.8. Phần tử không cộng loại trừ (XNOR) | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 3.1, 3.2. [2] mục 1-3, chương 4 Làm bài tập 3.1, 3.2, |


| TT | Nội dung | Lý thuyết | Thực hành | Tài liệu đọc trước | Nhiệm vụ của sinh viên |
|-----|---|-----------|-----------|--------------------|--|
| | 3.2. Phân tích và Thiết kế mạch logic tổ hợp 3.2.1. Phân tích mạch. 3.2.2. Thiết kế mạch logic tổ hợp. | | | | 3.3, 3.4 tài liệu [1]. [3] mục 4.1. Làm bài tập 3.5 tài liệu [1]. |
| 8. | Thi giữa học phần | 02 | | | Ôn tập chương 1, 2 và mục 3.1, 3.2 chương 3 |
| 9. | 3.3. Một số mạch logic tổ hợp thông dụng 3.3.1. Bộ hợp kênh và phân kênh 3.3.1.1. Bộ hợp kênh 3.3.1.2. Bộ phân kênh (Demultiplexer) 3.3.1.3. ứng dụng của bộ hợp kênh và phân kênh | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 3.3. [2] mục 5-6,5-7. [3] mục 4.4 Làm bài tập 3.8, 3.9 tài liệu [1]. |
| 10. | 3.3.2. Các mạch mã hoá và giải mã 3.3.2.1. Mạch mã hoá (Encoder). 3.3.3.2. Mạch giải mã (Decoder) | 02 | | [1] [2] | - Nghiên cứu tài liệu [1] mục 3.3.2. [2] mục 5.8. Làm bài tập 3.5, 3.6, 3.10 tài liệu [1]. |
| 11. | Chương 4: Mạch Dãy Mục tiêu chương: - Vẽ ký hiệu, giải thích hoạt động của các phần tử nhớ cơ bản - Vẽ sơ đồ, phân tích nguyên lý hoạt động của các mạch đếm, mạch ghi dịch, mạch chia tần Nội dung cơ bản: 4.1. Các phần tử nhớ cơ bản 4.1.1. Khái niệm chung 4.1.2. Trigo RS 4.1.3. Trigo đồng bộ RST 4.1.4. Trigo JK 4.1.5. Trigo D | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 4.1. [2] chương 6 [3] mục 5.1. Làm bài tập 4.1, 4.2, 4.3, 4.4 tài liệu [1]. |
| 12. | 4.2. Bộ đếm 4.2.1. Đếm nhị phân 4.2.1.1. Bộ đếm không đồng bộ | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 4.2. [2] mục 8-5, 8-6. |

| TT | Nội dung | Lý thuyết | Thực hành | Tài liệu đọc trước | Nhiệm vụ của sinh viên |
|-----|---|-----------|-----------|--------------------|---|
| | 4.2.1.2. Đếm đồng bộ | | | | [3] mục 5.2. Làm bài tập 4.5, 4.9 tài liệu [1]. |
| 13. | 4.2.2. Đếm 10 mã BCD (Decade). 4.2.2.1. Bộ đếm 10 tiến không đồng bộ mã BCD. 4.2.2.2. Đếm 10 mã BCD đồng bộ | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 4.2. [2] mục 8-8, 8-10. [3] mục 5.2. Làm bài tập 4.6 tài liệu [1]. |
| 14. | 4.3. Các bộ ghi dịch (Shift Register) 4.3.1. Bộ ghi song song 4.3.2. Bộ ghi dịch nối tiếp | 02 | | [1] [2] [3] | - Nghiên cứu tài liệu [1] mục 4.3. [2] mục 9-2, 9-3 [3] mục 5.3. Làm bài tập 4.7 tài liệu [1]. |
| 15. | 4.4. Các bộ chia tần 4.4.1. Mạch chia 3: 4.4.2. Mạch chia 5 | 02 | | [1] | - Nghiên cứu tài liệu [1] mục 4.4. Làm bài tập 4.8, tài liệu [1]. |
| 16. | Ôn tập học phần | 02 | | | - Ôn tập chương 1, 2, 3, 4 tài liệu [1] chuẩn bị thi kết thúc học phần. |

Hải Dương, ngày 19 tháng 8 năm 2016

KT. HIỆU TRƯỞNG
PHÓ HIỆU TRƯỞNG

TS. Phí Đăng Tuệ

KT. TRƯỞNG KHOA
PHÓ TRƯỞNG KHOA

Trần Duy Khánh

TRƯỞNG BỘ MÔN

Nguyễn Thị Quyên

